

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010004716 A  
 (43)Date of publication of application: 15.01.2001

(21)Application number: 1019990025430  
 (22)Date of filing: 29.06.1999

(71)Applicant: HYNIX SEMICONDUCTOR INC.  
 (72)Inventor: LEE, JEONG HO

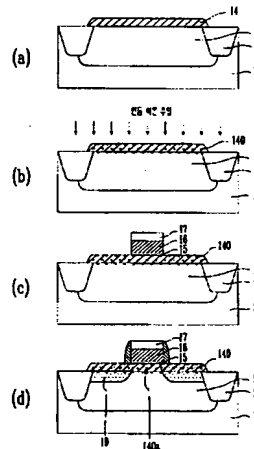
(51)Int. Cl. H01L 29/78

## (54) FABRICATION METHOD FOR TRANSISTOR OF SEMICONDUCTOR DEVICE

## (57) Abstract:

PURPOSE: A method for fabricating a buried channel PMOS transistor having an elevated channel formed by using epitaxy technology is provided to obtain a desired threshold voltage in a long channel and to improve degradation in a short channel.

CONSTITUTION: To form a PMOS transistor, an n-well(13) is formed in a silicon substrate(11) having an isolation layer(12). After a cleaning process for removing a native oxide film, an epitaxial layer(14) into which boron ions are selectively doped is formed on the substrate(11). Particularly, indium ions having a higher atomic weight and a lower diffusion rate are then implanted into the boron-doped epitaxial layer(14), and thus a boron-indium-doped epitaxial layer(140) is formed. The indium ions are also doped at a surface of the substrate(11). Then, a stacked pattern, composed of a gate oxide(15), a gate electrode(16) and a mask insulating layer(17), is formed on the boron-indium-doped epitaxial layer(140). After that, a gate spacer(18) and a source/drain region(19) are formed, and a channel epitaxial layer(140a) is defined under the gate electrode(16).



COPYRIGHT 2001 KIPO

## Legal Status

Date of final disposal of an application (20020130)  
 Patent registration number (1003321070000)  
 Date of registration (20020328)

BEST AVAILABLE COPY

Korean Laid-Open No. 1997-0053015

The present invention relates to a method for fabricating a transistor in a semiconductor device. A channel region of the transistor is defined by forming a silicon epitaxial layer. Because of a low concentration of impurities, adequate levels of transconductance and mobility are obtained. Thus, it is possible to prevent occurrence of a short channel effect and stabilize a threshold voltage. These effects further provide an advantage in improving device reliability and realizing a large scale of integration.

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H01L 29/78	(45) 공고일자 (11) 등록번호 (24) 등록일자	2002년04월10일 10-0332107 2002년03월28일
(21) 출원번호 (22) 출원일자 (73) 특허권자 (72) 발명자 (74) 대리인	10-1999-0025430 1999년06월29일 주식회사 하이닉스반도체 박종섭 경기 이천시 부발읍 아미리 산136-1 이정호 서울특별시광진구군자동159-9 신영무, 최승민	(65) 공개번호 (43) 공개일자 특2001-0004716 2001년01월15일

심사관 : 임동우

(54) 반도체 소자의 트랜지스터 제조 방법

요약

본 발명은 버러드 채널 PMOS 트랜지스터의 적용 영역을 더욱 확장시키기 위해 에피택시 기술을 이용하여 엘리베이트드 채널을 갖는 반도체 소자의 트랜지스터 제조 방법에 관한 것으로, 본 발명은 선택적 에피택시 성장 기술을 사용하여 소자 분리막과 웰 형성 이후에 실리콘 표면에 얇은 두께로 인-시류 보론 도핑된 에피층을 형성하고, 에피층 성장 이후에 원자량이 높고 확산 속도가 낮은 인듐(Indium)을 이온 주입하여 보론 에피층 및 하단부에 분포시키게 하므로써, 후속 열처리시 소자 접합 형성 이온 주입에 의해 형성된 결정 결함 등에 채널 보론이 쉽게 포획되어 소자의 리버스(reverse) 쇼트 채널 효과 등의 쇼트 채널 특성을 열화시키고 보론이 쉽게 확산하여 원하는 문턱 전압(Vt)을 얻기 어려운 문제를 보완하고 개선하며 0.13 $\mu$ m 이상의 소자에서 원하는 문턱 전압을 얻는데 효과적일 뿐만 아니라, 쇼트 채널에서의 데그레데이션(degradation)도 개선할 수 있는 기술이다.

도면

도2

색인어

트랜지스터, 보론 에피층, 인듐 이온 주입, 쇼트 채널

참고문헌

도면의 간단한 설명

도 1a 내지 도 1c는 종래 반도체 소자의 트랜지스터 제조 방법을 설명하기 위한 소자의 단면도이다.  
도 2a 내지 도 2c는 본 발명의 실시예에 따른 반도체 소자의 트랜지스터 제조 방법을 설명하기 위한 소자의 단면도이다.  
도 3a 및 도 3b는 본 발명의 소자 특성을 설명하기 위한 그래프.

<도면의 주요 부분에 대한 부호의 설명>

- 1, 11: 실리콘 기판(1)    2, 12: 소자 분리막
- 3, 13: N-웰    4, 14: 보론이 도핑된 에피층
- 4a: 보론 도핑된 채널 에피층    5, 15: 게이트 산화막
- 6, 16: 게이트 전극    7, 17: 마스크 절연막
- 8, 18: 게이트 스페이서    9, 19: 소오스/드레인 접합부
- 140: 보론-인듐이 도핑된 에피층    140a: 보론-인듐이 도핑된 채널 에피층

발명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 트랜지스터 제조 방법에 관한 것으로, 특히 버리드 채널(buried channel) PMOS 트랜지스터의 적용 영역을 더욱 확장시키기 위해 에피택시(epitaxy) 기술을 이용하여 엘리베이트드 채널(elevated channel)을 형성할 때, 에피층 성장 이후에 원자량이 높고 확산 속도가 낮은 인듐(indium)을 이온 주입하여 보론 에피층 및 하단부에 분포시키게 함으로써, 소자에서 원하는 문턱 전압( $V_t$ )을 얻을 수 있을 뿐만 아니라, 쇼트 채널에서의 데그라데이션(degradation)도 개선할 수 있는 반도체 소자의 트랜지스터 제조 방법에 관한 것이다.

일반적으로, 버리드 채널 PMOS 트랜지스터의 적용 영역을 더욱 확장시키기 위해 에피 기술을 이용하여 엘리베이트드 채널을 갖는 반도체 소자의 트랜지스터가 적용되고 있다.

도 1a 내지 도 1c는 종래 반도체 소자의 트랜지스터 제조 방법을 설명하기 위한 소자의 단면도이다.

도 1a를 참조하면, 실리콘 기판(1)에 소자 분리막(2)을 형성하고, PMOS 트랜지스터를 형성하기 위해 N-웰(3)을 형성한다.

도 1b를 참조하면, 선택적 에피 실리콘 성장(selective epi-silicon growth; SEG) 공정으로 실리콘 기판(1)이 노출된 부위에만 선택적으로 보론이 도핑된 에피층(4)을 형성한다. 에피층(4)상에 게이트 산화막(5), 게이트 전극(6) 및 마스크 절연막(7)이 적층된 패턴을 형성한다.

도 1c를 참조하면, 게이트 전극(6)이 포함된 패턴의 양측에 게이트 스페이서(8)를 형성한 후, 소오스/드레인 이온 주입 공정을 실시하고, 주입된 도펀트를 활성화시키기 위한 열처리를 실시하며, 소오스/드레인 접합부(9)를 형성하고, 게이트 전극(6) 아래에는 보론 도핑된 채널 에피층(4a)이 확정(define)된다.

전술한 바와 같이, 기존의 보론 도핑된 채널 에피층(4a)은 후속 게이트 산화막(5) 형성시 실리콘 기판(1)의 소모를 요구하므로, 채널 에피층(4a)이 약 30 Å 이상 소모되며, 이뿐만 아니라 게이트 산화막(5) 안으로 보론의 손실이 발생하게 되면서 초기에 스퀘어(square) 모양에 가까운 도핑 프로파일(profile)이 게이트 산화막(5)과의 계면에서 완만하게 형성되게 된다. 그렇다고 이를 막기 위해, 에피층(4)의 두께를 두껍게 가져가면 갈수록 채널이 형성되는 부위가 깊어지게 되므로 이 효과가 반감되게 된다. 또한 보론의 손실을 보상하기 위하여 에피 도핑 농도를 필요 이상으로 올리게 되면, 이미 잘 알려진 바와 같이 소자의 접합부 형성을 위해 높은 농도로 이온 주입할 경우에 반드시 형성되는 디스로케이션 등의 결정 결함 주위에서 채널 보론의 포획 현상이 강하게 발생하게 되므로 쇼트 채널로 갈수록 리버스 쇼트 채널 효과 등 소자의 문턱 전압( $V_t$ ) 특성을 열화시키는 현상이 두드러지게 되는 문제점이 발생하게 된다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 버리드 채널(buried channel) PMOS 트랜지스터의 적용 영역을 더욱 확장시키기 위해 에피택시(epitaxy) 기술을 이용하여 엘리베이트드 채널(elevated channel)을 형성할 때, 에피층 성장 이후에 원자량이 높고 확산 속도가 낮은 인듐(indium)을 이온 주입하여 보론 에피층 및 하단부에 분포시키게 함으로써, 소자에서 원하는 문턱 전압( $V_t$ )을 얻을 수 있을 뿐만 아니라, 쇼트 채널에서의 데그라데이션(degradation)도 개선할 수 있는 반도체 소자의 트랜지스터 제조 방법을 제공함에 그 목적이 있다.

이러한 목적을 달성하기 위한 본 발명의 반도체 소자의 트랜지스터 제조 방법은 실리콘 기판에 소자 분리막을 형성한 후, N-웰을 형성하는 단계; 세정 공정을 실시한 후, 상기 실리콘 기판이 노출된 부위에만 선택적으로 보론이 도핑된 에피층을 형성하는 단계; 상기 에피층에 인듐 이온을 주입하여 보론-인듐이 도핑된 에피층을 형성하는 단계; 상기 보론-인듐이 도핑된 에피층상에 게이트 산화막, 게이트 전극 및 마스크 절연막이 적층된 패턴을 형성하는 단계; 및 상기 게이트 전극이 포함된 패턴의 양측에 게이트 스페이서를 형성한 후, 소오스/드레인 이온 주입 공정을 실시하고, 주입된 도펀트를 활성화시키기 위한 열처리를 실시하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

### 발명의 구성 및 작용

이하, 본 발명을 첨부된 도면을 참조하여 상세히 설명하기로 한다.

도 2a 내지 도 2c는 본 발명의 실시예에 따른 반도체 소자의 트랜지스터 제조 방법을 설명하기 위한 소자의 단면도이다.

도 2a를 참조하면, 실리콘 기판(11)에 소자 분리막(12)을 형성하고, PMOS 트랜지스터를 형성하기 위해 N-웰(13)을 형성한다. 세정 공정으로 자연 산화막(native oxide film)을 제거한 후, 인-시튜 보론 도프트 선택적 에피 실리콘 성장(in-situ boron doped selective epi-silicon growth; SEG) 공정으로 실리콘 기판(11)이 노출된 부위에만 선택적으로 보론이 도핑된 에피층(14)을 형성한다.

상기에서, N-웰(13)은  $1\text{E}13$  내지  $3\text{E}13/\text{cm}^2$ 의 도우즈의 포스포러스(phosphorous)를 800 내지 1200Kv의 이온 주입 에너지로 이온 주입한 후에 반응로(furnace)에서 약 950°C의 온도에서 약 30분 정도 열처리하여 도펀트를 활성화시켜 형성한다.

세정 공정은 엑스-시튜(ex-situ) 세정 공정과 에피 실리콘 장비 내에서 진행하는 인-시튜(in-situ) 세정

공정을 실시한다. 인-시류 세정 공정은 RCA 클리닝이나 UV 오존 클리닝과 HF 담핑의 혼합으로 실시한다. 인-시류 세정은 에피층(14)을 형성하기 전에 1 내지 5분 동안 800 내지 900°C의 하이드로젠 베이크(hydrogen bake)를 실시하여 산화막 생성을 방지한다.

선택적 에피 실리콘 성장 공정은 고진공화학기상증착법(UHV-CVD)이나 저압화학기상증착법(LPCVD)으로 선택적으로 실리콘 기판(11) 표면이 노출된 부위에만 보론이 도핑된 에피층(14)이 100 내지 500Å의 두께로 형성되도록 실시하는데, 이때 도핑 농도는  $3 \times 10^{12}$  내지  $1 \times 10^{14}$  ions/cm이다. 선택적 에피 실리콘 성장 공정은 저압화학기상증착법의 경우, 그 증착 조건으로 증착 가스는 DCS와 HCl을 사용하고, 증착시 DCS는 30 내지 300 sccm을, HCl은 30 내지 200 sccm으로 하며, 보론 도핑을 위해  $B_2H_6$ 를 100 내지 300 sccm 정도 함께 흘려주며, 이때의 증착 압력은 10 내지 50 torr 정도로 하며, 증착 온도는 750 내지 950°C로 한다. 고진공화학기상증착법의 경우, 증착 가스는  $SiH_4$ 나  $Si_2H_6$ 를 사용하며, 보론 도핑을 위해  $B_2H_6$ 를 100 내지 300 sccm 정도 함께 흘려주며, 이때의 증착 압력은 1 torr 미만으로 하고, 증착 온도는 600 내지 700°C에서 실시한다.

도 2b를 참조하면, 보론이 도핑된 에피층(14)에 인듐 이온을 주입하여 보론-인듐이 도핑된 에피층(140)을 형성한다.

상기에서, 보론-인듐이 도핑된 에피층(140)은  $1 \times 10^{12}$  내지  $5 \times 10^{13}$  ions/cm의 도우즈의 인듐을 10 내지 40 KeV의 이온 주입 에너지로 주입하여 형성되며, 이때, 주입되는 인듐은 하단부의 실리콘 기판(11)의 표면에도 도핑된다.

도 2c를 참조하면, 보론-인듐이 도핑된 에피층(140)상에 게이트 산화막(15), 게이트 전극(16) 및 마스크 절연막(17)이 적층된 패턴을 형성한다.

도 2d를 참조하면, 게이트 전극(16)이 포함된 패턴의 양측에 게이트 스페이서(18)를 형성한 후, 소오스/드레인 이온 주입 공정을 실시하고, 주입된 도펀트를 활성화시키기 위한 열처리를 실시하여, 소오스/드레인 접합부(19)를 형성하고, 게이트 전극(16) 아래에는 보론-인듐이 도핑된 채널 에피층(140a)이 확장(defined)된다.

상기에서, 소오스/드레인 접합부(19) 형성을 위한 이온 주입은 도펀트를  $BF_3$  혹은  $BF_3/B$ 의 혼합 이온주입의 형태로 하며,  $BF_3$ 의 경우  $1 \times 10^{15}$  내지  $3 \times 10^{15}$  ions/cm의 도우즈로 10 내지 40 KeV의 에너지로 주입하며, B의 경우  $1 \times 10^{15}$  내지  $3 \times 10^{15}$  ions/cm의 도우즈로 1 내지 5 KeV의 에너지로 주입한다.

열처리는 반응로(furnace) 열처리나 급속 열처리(RTA)로 실시한다. 반응로 열처리의 경우  $N_2$  분위기에서 800 내지 950°C의 온도에서 10 내지 30분간 실시한다. 급속 열처리의 경우  $N_2$  혹은  $NH_3$  분위기에서 900 내지 1050°C의 온도에서 1 내지 30초간 실시한다는 것과, 승온 속도는 초당 30 내지 200°C로 실시한다는 것이다.

상기한 본 발명의 실시예는 기존의 에피 채널을 사용하는 버리드 채널 PMOS 트랜지스터 제조 방법을 개선하기 위한 것으로, 게이트 산화막 형성 및 후속 열처리 공정시 수반되는 보론의 손실을 막기 위해 에피층의 두께 및 보론의 도핑 농도 증가를 최대한 억제하고, 리버스 쇼트 채널 효과 등이 거의 나타나지는 인듐을 에피층 및 그 하단부에 도핑하여 롱 채널(long channel)에서의 문턱 전압( $V_t$ ) 및 쇼트 채널 특성을 개선하는 것이다. 인듐은 이미 채널 에피가 적용되지 않는 일반적인(conventional) 구조에서 적용해본 결과, 도 3의 그래프에 나타나듯이, 주입된 도핑 농도가 다소 높다고 하더라도 상온에서 불완전한 이온화(incomplete ionization) 현상과 고체 용해도(solid solubility)가 매우 낮아 실리콘에 액티베이션(activation)된 상태로 존재하는 양은 매우 미미하다. 따라서, 인듐만 가지고는 PMOS의 문턱 전압을 조절하는 것은 불가능하며, 본 실시예에서처럼 손실되는 보론을 보상하고, 원자량이 커서 결정 결합 주위에서 포획 현상이 거의 없이 쇼트 채널에서의 특성 개선 효과가 뚜렷하므로 이를 혼합하여 사용할 경우, 매우 효과적인 소자 특성을 얻을 수 있게 된다.

도 3a는 첫째, 인듐만 적용시 상온에서 불완전한 이온화 및 고체 용해도가 매우 낮으므로 인해  $BF_3$  도핑할 경우에 비해 문턱 전압이 낮아지며, 둘째, 인듐 도핑의 경우 쇼트 채널로 갈수록 문턱 전압 롤-오프( $V_t$  roll-off) 현상이  $BF_3$ 에 비해 개선됨을 보여주고 있다.

도 3b는 도 3a에서 인듐 도핑의 경우에 대한 결과로 롱 채널(long channel)에서  $BF_3$ 에 비해 크게 악화된 오프 누설 전류(off leakage current) 특성이 쇼트 채널에서는  $BF_3$ 와 거의 같은 결과를 보이며, 이는 롱 채널에서 문턱 전압을  $BF_3$ 와 비슷하게 맞추어 주면 인듐 적용시 개선된 쇼트 채널 효과를 얻을 수 있음을 암시한다.

### 본 발명의 효과

상술한 바와 같이, 본 발명은 선택적 에피 실리콘 성장 기술을 사용하여 소자 분리막과 웰 형성 이후에 실리콘 표면에 얇은 두께로 인-시류 보론 도핑된 에피층을 형성하고, 에피층 성장 이후에 원자량이 높고 확산 속도가 낮은 인듐(indium)을 이온 주입하여 보론 에피층 및 하단부에 분포시키게 하므로써, 후속 열처리시 소자 접합 형성 이온 주입에 의해 형성된 결정 결합 등에 채널 보론이 쉽게 포획되어 소자의 리버스(reverse) 쇼트 채널 효과 등의 쇼트 채널 특성을 열화시키고 보론이 쉽게 확산하여 원하는 문턱 전압( $V_t$ )을 얻기 어려운 문제를 보완하고 개선하여 0.13μm 이상의 소자에서 원하는 문턱 전압을 얻는데 효과적일 뿐만 아니라, 쇼트 채널에서의 데그레이데이션(degradation)도 개선할 수 있는 효과를 얻을 수 있다.

**(5) 청구의 범위****청구항 1**

실리콘 기판에 소자 분리막을 형성한 후, N-웰을 형성하는 단계;

세정 공정을 실시한 후, 상기 실리콘 기판이 노출된 부위에만 선택적으로 보론이 도핑된 에피층을 형성하는 단계;

상기 에피층에 인듐 이온을 주입하여 보론-인듐이 도핑된 에피층을 형성하는 단계;

상기 보론-인듐이 도핑된 에피층상에 게이트 산화막, 게이트 전극 및 마스크 절연막이 적층된 패턴을 형성하는 단계; 및

상기 게이트 전극이 포함된 패턴의 양측에 게이트 스페이서를 형성한 후, 소오스/드레인 이온 주입 공정을 실시하고, 주입된 도펀트를 활성화시키기 위한 열처리를 실시하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

**청구항 2**

제 1 항에 있어서,

상기 N-웰은  $1E13$  내지  $3E13 \text{ ions/cm}^2$ 의 도우즈의 포스포러스를 800 내지 1200KeV의 이온 주입 에너지로 이온 주입한 후에 반응로에서 약 950°C의 온도에서 약 30분 정도 열처리하여 도펀트를 활성화시켜 형성하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

**청구항 3**

제 1 항에 있어서,

상기 세정 공정은 익스-시류 세정 공정과 에피 실리콘 장비 내에서 진행하는 인-시류 세정 공정으로 실시하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

**청구항 4**

제 3 항에 있어서,

상기 인-시류 세정 공정은 RCA 클리닝이나 UV 오존 클리닝과 HF 딥핑의 혼합으로 실시하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

**청구항 5**

제 3 항에 있어서,

상기 인-시류 세정은 상기 보론이 도핑된 에피층을 형성하기 전에 1 내지 5분 동안 800 내지 900°C의 하이드로겐 베이크를 실시하여 산화막 생성을 방지하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

**청구항 6**

제 1 항에 있어서,

상기 보론이 도핑된 에피층은 고진공화학기상증착법이나 저압화학기상증착법을 적용하여 인-시류 보론 도프트 선택적 에피 실리콘 성장 공정으로 100 내지 500Å의 두께로 형성하며, 이때 보론 도핑 농도는  $3E12$  내지  $1E14 \text{ ions/cm}^2$ 가 되도록 하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

**청구항 7**

제 1 항 또는 제 6 항에 있어서,

상기 보론이 도핑된 에피층을 저압화학기상증착법을 적용하여 형성할 경우, 그 증착 조건으로 증착 가스는  $\text{DCS}$ 와  $\text{HCl}$ 을 사용하고, 증착시  $\text{DCS}$ 는 30 내지 300 sccm을,  $\text{HCl}$ 은 30 내지 200 sccm으로 하며, 보론 도핑을 위해  $\text{B}_2\text{H}_6$ 를 100 내지 300 sccm 정도 함께 흘려주며, 이때의 증착 압력은 10 내지 50 torr 정도로 하며, 증착 온도는 750 내지 950°C로 하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

**청구항 8**

제 1 항 또는 제 6 항에 있어서,

상기 보론이 도핑된 에피층을 고진공화학기상증착법을 적용하여 형성할 경우, 증착 가스는  $\text{SiH}_4$ 나  $\text{Si}_2\text{H}_6$ 를

사용하며, 보론 도핑을 위해  $B_2H_6$ 를 100 내지 300sccm 정도 함께 흘려주며, 이때의 증착 압력은 1 torr 미만으로 하고, 증착 온도는 600 내지 700°C로 하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

#### 청구항 9

제 1 항에 있어서,

상기 보론-인듐이 도핑된 에피층은  $1E12$  내지  $5E13 ions/cm^2$ 의 도우즈의 인듐을 10 내지 40KeV의 이온 주입 에너지로 주입하여 형성하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

#### 청구항 10

제 1 항에 있어서,

상기 소오스/드레인 접합부 형성을 위한 이온 주입은 도판트를  $BF_3$  혹은  $BF_3/B$ 의 혼합 이온주입의 형태로 하며,  $BF_3$ 의 경우  $1E15$  내지  $3E15 ions/cm^2$ 의 도우즈로 10 내지 40KeV의 에너지로 주입하며, B의 경우  $1E15$  내지  $3E15 ions/cm^2$ 의 도우즈로 1 내지 5KeV의 에너지로 주입하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

#### 청구항 11

제 1 항에 있어서,

상기 열처리는  $N_2$  분위기에서 800 내지 950°C의 온도에서 10 내지 30분간 반응로 열처리하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

#### 청구항 12

제 1 항에 있어서,

상기 열처리는  $N_2$  혹은  $NH_3$  분위기에서 900 내지 1050°C의 온도에서 1 내지 30초간 급속 열처리하며, 이때 승온 속도는 초당 30 내지 200°C로 하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

도면

도면

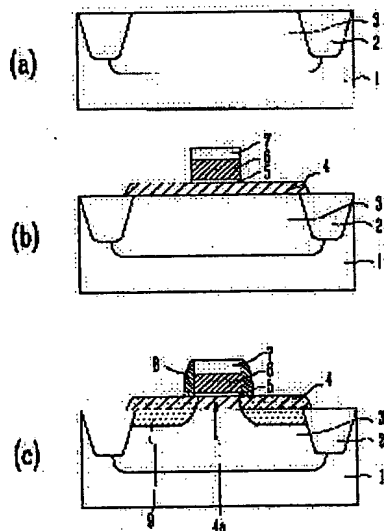


Fig 2

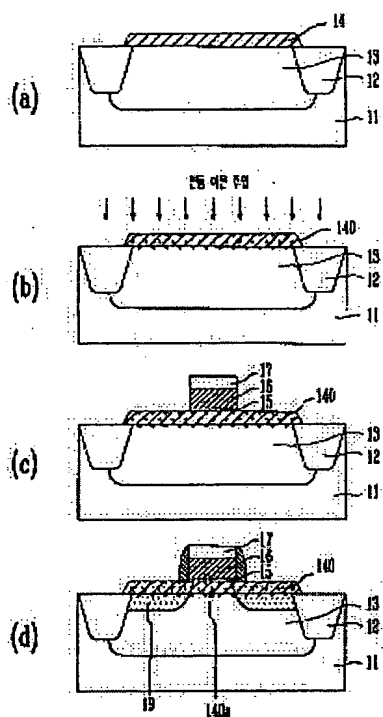
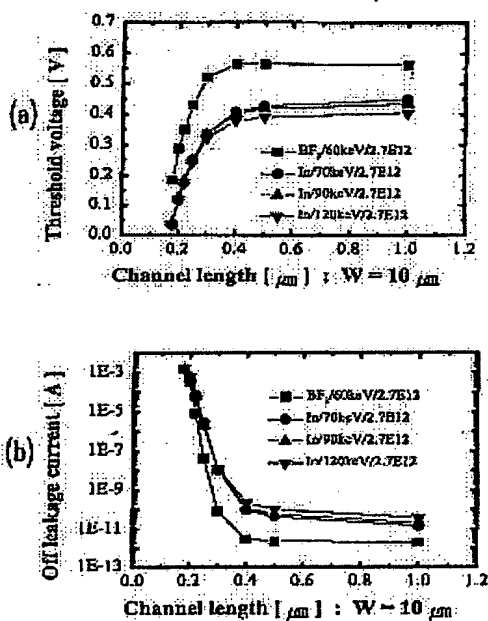


Fig 3





특 1997-0053015

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>8</sup>

(11) 공개번호 특1997-0053015

H01L 21/334

(43) 공개일자 1997년 07월 29일

(21) 출원번호 특1995-0047334

(22) 출원일자 1995년 12월 07일

(71) 출원인 현대전자산업주식회사 김주용

경기도 미천군 부발읍 아미리 산136-1 (우 : 467-860)

(72) 발명자 김천수

경기도미천군미천읍창전리현대아파트202-903

(74) 대리인 최승민, 신영무

심사청구 : 없음

(54) 반도체 소자의 트랜지스터 제조 방법

요약

본 발명은 반도체 소자의 트랜지스터 제조방법이 개시된다.

본 발명은 실리콘 에피택셜층을 형성하여 이 부분을 트랜지스터의 채널영역이 되게하므로 실리콘 기판보다 낮은 불순물 농도로 인하여 트랜스콘덕턴스(transconductance)와 모빌리티(mobility)가 양호하여 쇼트 채널 효과를 억제할 수 있고, 문턱전압을 안정화시킬 수 있어, 소자의 신뢰성 향상과 고집적화를 실현할 수 있게한다.

도면

도1

발명사

[발명의 명칭]

반도체 소자의 트랜지스터 제조방법

[도면의 간단한 설명]

제1A 내지 1C도는 본 발명에 의한 반도체 소자의 트랜지스터 제조방법을 설명하기 위해 도시한 소자의 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1. 반도체 소자의 트랜지스터 제조방법에 있어서, 실리콘 기판에 필드 산화막을 형성하여 액티브 영역을 확장한 후, 채널이온주입공정을 실시하는 단계; 상기 채널이온주입공정후 열처리공정을 실시한 후, 상기 실리콘 기판의 표면 산화막을 제거하는 단계; 프리-히팅한 후, 상기 액티브 영역의 상기 실리콘 기판상에 실리콘 에피택셜층을 형성하는 단계; 및 상기 실리콘 에피택셜층상에 게이트 산화막 및 게이트 전극을 형성하고, 상기 게이트 전극의 측벽에 도프트 산화막 스페이서를 형성한 후, 소오스 및 드레인 불순물 이온주입공정과 열처리 공정으로 LDD구조의 소오스 및 드레인 전극을 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조방법.

청구항 2. 제1항에 있어서, 상기 채널이온 BF<sub>3</sub>인 것을 특징으로 하는 반도체 소자의 트랜지스터 제조방법.

청구항 3. 제1항에 있어서, 상기 실리콘 기판의 표면 산화막은 버퍼드 HF 용액을 사용하여 제거하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조방법.

청구항 4. 제1항에 있어서, 상기 프리-히팅은 초고진공 화학기상증착(UHV-CVD)챔버에서 650 내지 750°C 온도 범위에서 실시되는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조방법.

청구항 5. 제1항에 있어서, 상기 인트린직 실리콘 에피택셜층은 Si<sub>3</sub>H<sub>8</sub>가스를 반응가스로 하여 200 내지 350Å의 두께로 성장시켜 형성되는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조방법.

청구항 6. 제1항에 있어서, 상기 도프트 산화막 스페이서는 PSG로 형성되는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1

